

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-051813

(43)Date of publication of application : 21.02.2003

(51)Int.Cl. H04L 1/00
G06F 11/10
G06F 12/02
H03M 13/15
H03M 13/27

(21)Application number : 2002-119003

(71)Applicant : LUCENT TECHNOL INC

(22)Date of filing : 22.04.2002

(72)Inventor : BEACKEN MARC J
PIDWERBETSKY ALEX
ROMAIN DENNIS M
SHIVELY RICHARD R

(30)Priority

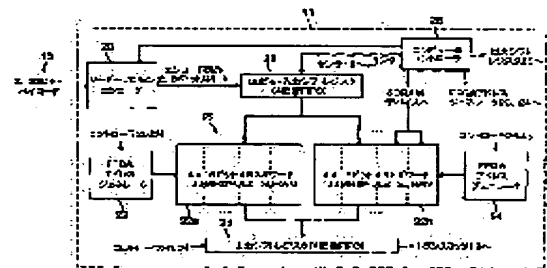
Priority number : 2001 839486 Priority date : 23.04.2001 Priority country : US

(54) EQUALIZATION METHOD AND ITS APPARATUS

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an apparatus that can correct burst errors over 20 million consecutive bits with a cost increase and an additional latency in a realizable degree and to provide its realization method.

SOLUTION: This invention utilizes an SDRAM device for a replacement buffer and employs an address remapping method to substantially make a read rate equal to a write rate thereby overcoming the limit in a conventional SDRAM device when it is used to realize a large scale matrix transposition. When the number of columns stored in one page is too small, that is, an overhead cycle of the SDRAM (when rows are read) is amortized over the number of memory reference times caused before page change resulting that an effective memory cycle rate suffices no system requirement, this method uses the address remapping with respect to the matrix transposition.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-51813

(P2003-51813A)

(43) 公開日 平成15年2月21日 (2003.2.21)

| (51) Int.Cl. ⁷ | 識別記号 | F I | テ-リ-ト* (参考) |
|---------------------------|-------|---------------|-------------------|
| H 0 4 L 1/00 | | H 0 4 L 1/00 | B 5 B 0 0 1 |
| G 0 6 F 11/10 | 3 3 0 | G 0 6 F 11/10 | 3 3 0 P 5 B 0 6 0 |
| 12/02 | 5 9 0 | 12/02 | 5 9 0 B 5 J 0 6 5 |
| H 0 3 M 13/15 | | H 0 3 M 13/15 | 5 K 0 1 4 |
| 13/27 | | 13/27 | |

審査請求 未請求 請求項の数19 OL (全 14 頁)

(21) 出願番号 特願2002-119003(P2002-119003)

(22) 出願日 平成14年4月22日 (2002.4.22)

(31) 優先権主張番号 09/839486

(32) 優先日 平成13年4月23日 (2001.4.23)

(33) 優先権主張国 米国 (US)

(71) 出願人 596077259

ルーセント テクノロジーズ インコーポ
レイテッド

Lucent Technologies
Inc.

アメリカ合衆国 07974 ニュージャージ
ー、マレーヒル、マウンテン アベニュー
600-700

(74) 代理人 100081053

弁理士 三俣 弘文 (外1名)

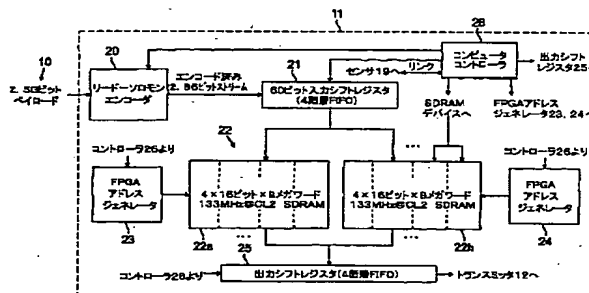
最終頁に続く

(54) 【発明の名称】 等化方法及びその装置

(57) 【要約】

【課題】 連続した2千万ビット程度の大きさを有するバーストエラーを実現可能な程度の費用増及び追加レイテンシーで修正されるような装置及びその実現方法を実現することが本発明の課題である。

【解決手段】 本発明は、置換バッファにSDRAMデバイスを利用し、さらに、通常のSDRAMデバイスが大規模な行列転置を実現する目的で用いられた場合の限界を、読み出しレートと書き込みレートを本質的に等置するアドレス再マッピングを用いることによって克服する。行列の転置に関して、1ページにストアされうるカラム数が余りにも小さく、すなわち、SDRAMデバイスのオーバーヘッドサイクルが（ロウが読み出される場合に）ページ変更の前に発生しうるメモリ参照の回数に亘って償還されてしまい、実効的なメモリサイクルレートがシステム要求を充足しない場合に、アドレス再マッピングが適用される。



【特許請求の範囲】

【請求項1】 自由空間媒体を介して送信ペイロードデータビットストリームを送信する方法において、前記方法が、前記送信ペイロードデータビットストリームをコードワードにエンコードするステップと、前記コードワードの各々をセグメントに分割するステップと、ある値のエントリ受信レート及び送信レートを有し、メモリセルマトリックスより構成されたSDRAMバッファストアにおいて、単一のSDRAM物理頁を構成するエントリの組を表わす前記セルよりなるx-yサブマトリックスを規定するステップと、第一ページ変更オーバーヘッド動作を有する書き込み動作において、連続する前記コードワードよりなる対応するセグメントを前記セルより構成される前記サブマトリックスにインターリーブするステップと、第二ページ変更オーバーヘッド動作を有する読み出し動作において、前記サブマトリックスの内容を読み出すステップと、及び、前記読み出し動作において読み出された前記エンコードされてインターリーブされたデータビットストリームを前記媒体中に送出するステップと、を有しており、前記セルより構成された前記サブマトリックスの前記書き込み及び読み出し動作が、前記書き込み及び前記読み出し動作の前記レートを等化する目的で、ページ変更オーバーヘッドを前記書き込み動作から前記読み出し動作へ実質的に再分配するように設定されていることを特徴とする等化方法。

【請求項2】 前記送信ペイロードデータビットストリームのコードワードへのエンコード段階が、リード-ソロモン(Reed-Solomon)符号化を用いて実現されることを特徴とする請求項第1項に記載の等化方法。

【請求項3】 前記方法が、さらに、前記読み出し動作の間にページ変更の前になされる連続したメモリ参照の回数を表わす最小マトリックス次元がSDRAMオーバーヘッドを前記ページ変更に関して償還するために充分であるように前記セルより構成される前記サブマトリックスの次元を決定するステップと、を有することを特徴とする請求項第2項に記載の等化方法。

【請求項4】 前記書き込み動作から前記読み出し動作へのページ変更オーバーヘッドの前記再分配段階が、前記SDRAMページを構成する連続した前記コードワードのセグメントに対応する前記サブマトリックスセルの連続したカラムに書き込むステップと、及び、前記読み出し及び書き込みレートを実質的に等化する間隔でのSDRAMの物理的なページ変更が保証されるような数に1ページに保持されるカラム数を保つ目的で読み出しに係るサブマトリックスセルアドレスを再マッピングするステップと、を含むことを特徴とする請求項第3項に記載の等化方法。

【請求項5】 前記自由空間媒体が光学的媒体であり、前記送信ペイロードデータビットストリームが光学的周波数を有する輻射であることを特徴とする請求項第4項

に記載の等化方法。

【請求項6】 前記方法が、さらに、シンチレーション効果を引き起こすような前記媒体中の状態を検出するステップと、及び、前記状態が検出された場合に前記エンコード及びインターリーブ段階をアクティベートするステップと、を有することを特徴とする請求項第5項に記載の等化方法。

【請求項7】 前記方法が、さらに、遠隔地に存在するレシーバにおいて前記エンコードされてインターリーブされたデータビットストリームをデインターリーブしてデコードするステップと、を有することを特徴とする請求項第6項に記載の等化方法。

【請求項8】 前記方法において、前記SDRAMバッファストアが2千万ビットのオーダーのエラーバーストを修正するために充分であるほど大きいこと前記リード-ソロモンコードが(255, 223)フォーマットを有していること前記エンコード段階が、前記入力データストリームをインターリーブされるべき156, 250コードワードに実質的にエンコードすること前記コードワードサイズが2040ビットであること及び、前記分割段階が、各々の前記コードワードをインターリーブ目的で60ビットセグメントに分割することを特徴とする請求項第7項に記載の等化方法。

【請求項9】 光学的自由空間通信方法において、当該通信媒体が大気のシンチレーションに起因する間欠的バーストエラーを起こしやすい状態であり、当該通信方法が、リード-ソロモン符号化を用いて、送信ペイロードデータビットストリームをコードワードにエンコードするステップと、選択された一連の前記コードワードの各々をセグメントに分割するステップと、前記コードワードの対応する前記セグメントを前記ペイロードデータビットストリームの予期されるバーストエラー間隔と比較して大きな実質的なスパンに亘ってインターリーブするステップと、前記インターリーブ済みセグメントを、物理的なロウ及びカラムアドレスを有するメガワードストアマトリックスとしてアレイ配置されたSDRAMデバイスバンクより構成された置換バッファの指定されたアドレスに書き込むステップと、ここで、前記各ロウはページを構成しており、前記SDRAMデバイスは各々バーストメモリサイクルレートを有しているSDRAMメモリの各物理的ロウを多重仮想ページとして指定することによって仮想メモリアドレスを設定するステップと、前記仮想アドレスを前記SDRAMデバイスの各々の前記物理アドレスにマッピングするステップと、前記再マッピングされた仮想ページによって決定されたシーケンスで前記実際のアドレスの内容を前記SDRAMデバイスの前記バンクから読み出すステップと、ここで、前記シーケンスは、ロウアドレス変更に係るオーバーヘッドの処理が前記書き込み段階及び前記読み出し段階の双方においておよそ等しくなるように選択されており、その

ことによって前記SDRAMデバイスの各々がそのバーストメモリサイクルレートに漸近するように動作することが可能になる及び、前記読み出し段階において読み出された前記エンコードされてインターリーブされたデータビットストリームを前記通信媒体に送出することを特徴とする等化方法。

【請求項10】 前記書き込み段階が、さらに、K個の連続するエントリを1物理ページに書き込む段階を有しており及び、前記読み出し段階がKエントリ毎にページ変更を有していることを特徴とする請求項9に記載の等化方法。

【請求項11】 前記方法が、さらに、シンチレーション効果を生じさせる前記通信媒体の状態を検出するステップと、及び、前記状態が検出された場合に前記エンコード及びインターリーブ段階をアクティベートするステップと、を有していることを特徴とする請求項10に記載の等化方法。

【請求項12】 前記方法が、さらに、前記送信ペイロードデータビットストリームを回復する目的で遠隔地に存在するレシーバにおいて前記エンコードされてインターリーブされたデータビットストリームをデインターリーブしてデコードするステップと、を有することを特徴とする請求項11に記載の等化方法。

【請求項13】 光学的自由空間通信を送受信する方法において、当該通信媒体が大気のシンチレーションに起因する間欠的バーストエラーを起こしやすい状態であり、当該通信方法が、送信端において、送信ペイロードデータビットストリームをコードワードにエンコードするステップと、前記コードワードをセグメントに分割するステップと、前記インターリーブされた前記セグメントをデータビットストリームとして前記光学的自由空間媒体に送信するステップと、受信端において、前記送信されたデータビットストリームを受信するステップと、前記送信されたデータビットストリームをデインターリーブ及びデコードするステップと、を有しており、前記送信端における前記インターリーブ段階及び前記受信端における前記デインターリーブ段階が、さらに、メモリセルマトリックスを有し、ある値のエントリ受信及び送信レートを有するSDRAMバッファストアを実現するステップと、SDRAMの単一物理ページよりなるエントリの組を表現する前記セルより構成される $x-y$ サブマトリックスを定義するステップと、第一ページ変更オーバーヘッド動作を有する書き込み動作において、連続した前記コードワードよりなる対応するセグメントを前記サブマトリックスセルにインターリーブするステップと、第二ページ変更オーバーヘッド動作を有する読み出し動作において、前記セルよりなるサブマトリックスの内容を読み出すステップと、を有しており、前記セルより構成された前記サブマトリックスの前記書き込み及び読み出し動作が、前記書き込み及び前記読み出し動作の

前記レートを等化する目的で、ページ変更オーバーヘッドを前記書き込み動作から前記読み出し動作へ実質的に再分配するように設定されていることを特徴とする等化方法。

【請求項14】 光学的自由空間媒体を介して送信ペイロードデータストリームを送信する装置において、当該装置が、光学的送信ペイロードデータストリームをリード-ソロモンエンコード方式を用いてエンコードする手段前記コードワードの各々をセグメントに分割する手段ある値のエントリ受信及び送信レートを有しメモリセルマトリックスより構成されたSDRAMバッファストアここで、前記SDRAMバッファストアは、さらに、SDRAMの単一物理ページよりなるエントリの組を表現するように定義された前記セルの反復した $x-y$ サブマトリックスを有している連続した前記コードワードの対応するセグメントを前記反復したサブマトリックスセルにインターリーブする目的で書き込み動作を実行するステップと、ここで、前記書き込み動作は関連した第一ページ変更オーバーヘッドを有している前記サブマトリックスセルの内容を読み出す目的で読み出し動作を実行する手段ここで、前記読み出し動作は関連した第二ページ変更オーバーヘッドを有しているこの際、前記セルより構成された前記サブマトリックスの前記書き込み及び読み出し動作が、前記書き込み及び前記読み出し動作の前記レートを等化する目的で、ページ変更オーバーヘッドを前記書き込み動作から前記読み出し動作へ実質的に再分配するように設定されている及び、前記読み出し動作において読み出された前記エンコードされてインターリーブされたデータビットストリームを前記媒体に送出する手段を有することを特徴とする等化装置。

【請求項15】 前記装置が、さらに、前記読み出し動作の間にページ変更の前になされる連続したメモリ参照の回数を表わす最小マトリックス次元がSDRAMオーバーヘッドを前記ページ変更に関して償還するために充分であるように前記セルより構成される前記サブマトリックスの次元を決定する手段を有することを特徴とする請求項14に記載の等化装置。

【請求項16】 前記装置において、前記書き込み動作から前記読み出し動作へのページ変更オーバーヘッドの前記再分配がなされ、前記装置が、さらに、前記SDRAMページを構成する連続した前記コードワードのセグメントに対応する前記サブマトリックスセルの連続したカラムに書き込む装置及び、前記読み出し及び書き込みレートを実質的に等化する間隔でのSDRAMの物理的なページ変更が保証されるような数に1ページに保持されるカラム数を保つ目的で読み出しに係るサブマトリックスセルアドレスを再マッピングする装置を含むことを特徴とする請求項第15項に記載の等化装置。

【請求項17】 前記装置が、さらに、シンチレーション効果を引き起こすような前記媒体中の状態を検出する

手段及び、前記状態が検出された場合に前記エンコード及びインターリーブ段階をアクティベートする手段を有することを特徴とする請求項16に記載の等化装置。

【請求項18】 前記装置が、さらに、遠隔地に存在するレシーバにおいて前記エンコードされてインターリーブされたデータビットストリームをデインターリーブしてデコードする手段を有することを特徴とする請求項17に記載の等化装置。

【請求項19】 前記装置において、前記SDRAMバッファストアが2千万ビットのオーダーのエラーバーストを修正するために充分であるほど大きいストレージセル容量を有しており前記リード-ソロモンコードが(255, 223)フォーマットであり前記エンコード手段が、前記入力データストリームをインターリーブされるべき156, 250コードワードに実質的にエンコードし前記コードワードサイズが2040ビットであり及び、前記分割手段が、各々の前記コードワードを前記SDRAMバッファストアより構成された前記サブマトリックスにインターリーブする目的で60ビットセグメントに分割することを特徴とする請求項18に記載の等化装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は光通信に関し、特に、自由空間を伝播する際のシンチレーション効果に起因する劣化を回復する方法及びその装置に関する。

【0002】

【従来の技術】自由空間光伝送は、伝送媒体におけるシンチレーション効果に起因する劣化を受けやすい。自由空間光信号は、数ミリ秒のオーダーの時間に亘るシンチレーション起因のフェージングを受ける。よって、数ギガビット/秒の信号は、この時間の間に、数千万ビットを失うことになる。例えば、2.5ギガビット/秒のデータストリームにおける8ミリ秒のフェージングは、2千万ビットの喪失に対応する。

【0003】データストリームが光ファイバを介して伝播させられる場合には、ブロック指向前方エラー修正(FEC)が広く用いられている。しかしながら、自由空間光伝送におけるシンチレーション効果に起因する劣化は、光ファイバ媒体における一般的に遙かに短いエラーバースト持続時間と比較して、数百万ビットに対応する長さで継続しうる。従って、シングルブロックFECエラー修正プロセスは、自由空間光伝送において発生する長さのエラーを修正するためには極めて非現実的である。シンチレーション効果に起因するこの問題を、影響を受けたブロックを選択的に再送信することによって対処しようとすることも、ビデオ映像などの通信プロセスの特性故に、上述されているような長時間に亘るエラーバーストに関しては实际的ではない。

【0004】多くの通信応用例においては、エラーに対

してさらに堅固であること及びさらなる雑音低減の実現を目的として、データストリームのインターリーブ、すなわちシャッフリング、が利用される。W.Peterson及びE.J.Weldenによる“エラー修正符号”(MIT Press(1972)、第371頁)という出版物(本発明の参照文献である)に述べられているように、その一般的な原理は、度数 i にインターリーブされた m エラー修正符号は、 $i \times m$ 以下の長さを有する全ての単一バーストを修正することが可能である。インターリーブによって、データがバースト持続長よりも長い時間に対応するスパンに亘ってインターリーブされている場合には、バーストエラーが複数の孤立エラーとしての効果を有するようになる。

【0005】それゆえ、インターリーブは、自由空間光伝送におけるシンチレーション効果のエラー修正に関する候補である。なぜなら、理論的には、連続する数千万ビットに及ぶエラーバーストを修正することが可能であるからである。しかしながら、シングルコードブロック内のバーストエラーにおける数千万ビットを修正するためには、現行の端末設計コンセプトの下では、通信端末が極めて大きなエンコーダ/デコーダ及びバッファストレージを必要としてしまう。コスト、サイズ、及びシンチレーション効果エラー修正装置によって必要とされる電力に関する考察は、商業的に現実的な通信端末の実現に限定されていなければならない。

【0006】シンクロナスダイナミックランダムアクセスメモリ(SDRAM)デバイスは、インターリーブに関して必要とされる大規模な置換行列容量を実現する現実的な手段を提供するものとして利用可能である。しかしながら、SDRAMのロウ、すなわち“ページ”は、通常、ロウアドレスを変更する、すなわち“ページ”を変更することが必要になった場合には、常に、有為な、数サイクルにも及ぶオーバーヘッドコストを被ってしまう。カラムアドレスフィールドは、通常、SDRAMの物理的アドレスにおける下位の数に等置されているため、連続したあるいはひとまとまりのデータの組をアドレスする際には、最小のページ変更しか負わない。SDRAMデバイスが直接的にアドレスされる、すなわち、連続したアドレスにブロックFECコードワードセグメントがストアされる、と仮定すると、インターリーブを実現する目的でコードワードシーケンスを置換した順序で読み出すことは、メモリが参照される毎にページアドレスを変更することを必要とする。なぜなら、大きなアドレス増分が必要とされるからである。同様なプロセスは、列要素を連続したアドレスにストアするように行列をストアして、その行列を行毎に読み出すことである。転置行列を読み出すためには、列長に等しいアドレス増分が必要となる。

【0007】

【発明が解決しようとする課題】より詳細に述べれば、インターリーブ及びデインターリーブに必要とされる大

規模な置換行列に関するバッファストレージを実現するように設定された適切なSDRAMデバイスグルーピングにおいては、ページアドレスを変更するために大きなサイクル数（例えば7サイクル）が必要とされる。結果として、直接的なアドレッシングは、実効メモリ速度を7分の1に低下させることになる。光通信は高ビットレートであるため、このインターリーブプロセスを実行する目的で、入手可能な最高速のSDRAMデバイスを用いることを要求している。それゆえ、前述されたような速度低下は、自由空間光伝送におけるシンチレーション効果を克服するプロセスを実現する目的でSDRAMデバイスを用いることの現実性を損なうことになる。

【0008】

【課題を解決するための手段】本発明は、シンチレーション効果に起因する伝送劣化を克服する目的で光データストリームをエンコード—インターリーブ及びデインターリーブ—デコードする方法及びその装置を実現する。連続した2千万ビット程度の大きさを有するバーストエラーが、コンポーネントに関して実現可能な程度の費用増及び追加レイテンシーに関して無視しうる程度のコストで修正される。

【0009】(255, 223) リード—ソロモン (Reed-Solomon) 符号化を用いることにより、ペイロードビットストリームがコードワードにエンコードされ、そのようにして得られたコードワードが分割されて置換バッファに分配される。この際、コードワードは、持続期間がEビットであるバーストエラーがあらゆるコードワードにおいて最大でもbビットだけ影響を与えるだけのものであるように（例えば、 $E/b = 156, 250$ ）、十分に大きなスパンに亘って他のコードワードとインターリーブされる。

【0010】本発明は、その一実施例においては、置換バッファにSDRAMデバイスを利用する。しかしながら、本発明は、通常のSDRAMデバイスが大規模な行列転置を実現する目的で用いられた場合の限界を、読み出しレートと書き込みレートとを本質的に等置するアドレス再マッピングを用いることによって克服する。本発明のこの側面に従って、現行のSDRAMデバイスの特性から、ページ（すなわち、ロウ）内においてデバイスサイクルレートでデバイスを読み出し及び書き込みすることが可能であるという独自の利点が見られる。

【0011】送信端でのインターリーブプロセス及び受信端でのデインターリーブプロセスにおけるSDRAMバッファのローディングの際に用いられる行列の転置に関しては、1ページにストアされるカラム数が余りにも小さく、すなわち、SDRAMデバイスのオーバーヘッドサイクルが（ロウが読み出される場合に）ページ変更の前に発生しうるメモリ参照の回数に亘って償還されてしまっ、実効的なメモリサイクルレートがシステム要求を充足しない場合に、アドレス再マッピングが適用

される。

【0012】本発明に従ったアドレス再マッピングは、オーバーヘッド操作を書き込みから読み出しに再分配し、このことによって、最小限のメモリを用いて実質的にリアルタイムの操作が可能になる。よって、行列要素がロウ毎に受信されると、SDRAMページの物理的な変更が、例えば512要素毎ではなく15要素毎に発生する。その結果、ロウアドレス変更に係るオーバーヘッドが、書き込み（すなわち、転置バッファへの入力）と読み出し（転置バッファの読み出し）の双方においてほぼ等しくなる。このように、オーバーヘッドサイクルが読み出し及び書き込みの双方のプロセスに関する多数のメモリ参照に亘って償還され、結果として、実効メモリサイクルレートが物理的なバーストサイクルレートに漸近することになる。

【0013】よって、本発明は、自由空間光通信における2千万ビットのオーダーのエラーバースト、例えば、2.5ギガビット/秒の伝送において発生した8ミリ秒のフェージング、を克服するために必要とされる、非常に大規模なインターリーブすなわち転置スパンを経済的に処理する問題を解決する。

【0014】以下、本明細書においては、本発明は自由空間光伝送に関連した実施例を利用して記述されるが、本発明は、例えばRF無線通信システム（例えば、ミリメートル波）に対しても適用可能である。この種のシステムがより高いデータレートで動作している場合には、発生しうるフェージングによって数百万ビットが失われることになる。本発明に従った方法及び装置を用いることにより、RF無線通信システムにおけるフェージングによって失われていた数百万ビットが回復されうる。

【0015】

【発明の実施の形態】以下に記述される実施例においては、中庸のサイズを有するバーストエラー修正コードブロックをインターリーブするという原理が用いられるが、巨視的に見れば、従来技術に係る方法よりも遙かに大きなサイズが用いられ、その結果、以下に例示されているインターリーブ例は、数千万ビットのオーダーを有するバーストエラーの回復をサポートすることを目的とした、数億ビットに亘るものとなっている。シンクロナスダイナミックランダムアクセスメモリ（SDRAM）デバイステクノロジーが、この種のプロセスを実現するために必要とされる極めて大規模なメモリアレイをサポートするための現実的かつ経済的な例として用いられる。SDRAMテクノロジーにおいては普遍的である、大きなロウ—カラムランダムアクセスオーバーヘッドが、物理的アドレスのアドレス再マッピングを行なうことによって実質的に低減される。アドレス再マッピングの効果は、オーバーヘッドサイクルバーストが、メモリアドレス空間の通常の単純な利用の場合に一般的であるような連続したメモリ参照の際に発生するのではなく、

分散されることである。このことは、本発明に係る高速メモリ参照レートが、データフローの弾力性を最小にしつつ確保されることを可能にする。

【0016】本発明に係るプロセスは、まず、従来技術に従ってデータストリームをコードワードにエンコードする段階を有している。コードワードとは、 k 個のペイロードビットと $(n-k)$ 個のエラー修正コードビットとを含む n ビットよりなるブロックである。その後、当該プロセスは、コードワード内で修正されうるエラーの最大数を b として規定する。この際、あらゆる線型コードによって修正されうる最大ビット数が

$$(式1) \quad b = 0.5 * (n - k)$$

である、及び、この制限が、以下に述べられるリード-ソロモン符号化に関して得られるものであることを考慮する。

【0017】例として、 $(255, 223)$ リード-ソロモン符号を仮定すると、これは、コードワードのシンボル長が255、そのうち、223個がペイロードシンボル、 $255 - 223 = 32$ がチェックシンボルであって、各シンボルは8ビットオクテットである。式1によって示される修正可能なシンボルの制限は、この例の場合には、 $0.5 * (255 - 223) = 16$ シンボルとなる。この例では、ビット数で表わしたコードワードのサイズが $8 * 255 = 2040$ ビットであり、1コードワード内に発生したエラーバーストの個数が最大で $b = 16 * 8 = 128$ ビットまでなら修正可能である。

【0018】目的が、持続長 E ビットのエラーバーストをマスクすることである場合には、インターリーブされなければならないコードワードの個数 M は、

$$(式2) \quad M = E / b$$

となる。よって、2千万ビットのオーダーのエラーバーストを修正するためには、 $M = 20 \times 10^6 / 128 = 156,250$ 個のコードワードをインターリーブする必要がある。インターリーブのスパン（すなわち、置換行列の次元、つまり、本発明に係るプロセスによって必要とされるバッファのサイズ S 及び追加されるレイテンシーの持続時間）は、

$$(式3) \quad S = M * n$$

となる。

【0019】上述された例の場合には、 $M = 156,250$ であり、 n は（ビット表示で）2040であるため、バッファスタは $M * n = 3.1875 \times 10^8$ ビット分が必要になる。

【0020】自由空間光伝送におけるシンチレーション劣化の影響は、多くの周囲状況の関数として変化しうる。例えば、4.4 kmという距離を有するポイント-ツー-ポイント光通信に関して、横風が毎時10マイルの場合には、シンチレーションの時間的相関が15ミリ秒のオーダーである。1 kmの距離、及び毎時10マイルの横風の場合には、時間スケールは7-8ミリ秒のオ

ーダーである。横風が毎時20マイルのオーダーであって距離が1 kmの場合には、時間的相関はおおよそ4ミリ秒になる。シンチレーション効果の程度も、例えば、空気の温度、排出物質、相対湿度などを含む他の大気状況の関数として変化しうる。シンチレーション状況の開始は、自由空間光リンクの逆経路における受信された信号のモニタリングによって決定される。

【0021】図1は、本発明を、自由空間光伝送システムの一部として模式的に表わしたものである。当該システムは、入力端において、データストリームペイロード10を受信する。ペイロードは、連続的なデータストリームの形態を有するか、あるいは、ペイロードのビット長がバースト毎に変化するようなデータバーストよりなる。

【0022】バーストエラー修正プロセスは、送信される全てのデータに対して無条件かつ連続的に適用されるか、あるいは、例えばセンサ19などによって前述されたようなある種の自由空間条件が検出された場合に選択的に適用されるかのいずれかである。センサ19は、コンピュータコントローラ26に接続されており、自由空間シンチレーション条件が存在するか否かを決定するスレッシュホールド値を当該コンピュータコントローラ26内のインストラクションが有している。自由空間媒体条件が発生した場合には、データストリームペイロード10は信号コンディショナ11を通じてルーティングされる。ここでは、以下に記述されるように、データがエンコードされてバッファスタにインターリーブされる。信号コンディショナ11の出力は、トランスミッタ12によって自由空間媒体13を介してレシーバ14宛に送出される。受信された信号は、シンチレーション条件向けの対応をなされている場合には、例えばビデオあるいは高速データアプリケーションなどの最終目的において用いられるようにルーティングされる前に、信号エクストラクタ15に供給されてデインターリーブ及びデコードされる。

【0023】図2に示されているように、信号コンディショナ11はエンコーダ20を有しているが、これは、 $(255, 223)$ リード-ソロモンタイプのものであることが望ましい。2.5 Gbitのデータペイロード10が、リード-ソロモンエンコーダ20に供給され、この実施例の場合には、2.86 Gbitのストリームを出力する。この際、リード-ソロモン符号化が、8ビットシンボルのガロワ (Galois) フィールドと $(255, 223)$ コード配置を有するように用いられることが望ましい。リード-ソロモン符号化は、前述された出版物である“エラー修正符号” (W. Peterson及びE. J. Weldon, 1992) に包括的に記述されている。エンコーダ20は、データストリーム10を、図3に示されているように各々 n の長さを有するコードワードにエンコードする。このコードワード例30は、所望の個数（例え

ば30)のコードワード断片に分割されるが、ここでは、簡単のためにそのうちの6つの断片30a-30fのみが示されている。その後、次のコードワードが同様に34個の断片に分割され、これら後者の断片がそれ以前の34個の断片とインターリーブされる。コードワードのインターリーブは、十分に大きなスパンに亘って実行され、その結果、長さEビットのバーストエラーが与えられた全てのコードワードにおいて最大でもbビットしか影響を与えないようになる。インターリーブを実現する方法論は公知であり、その一例は米国特許5,899,791号に記載されている(これは、本発明の参照文献である)。

【0024】図4は、各コードワードが2つの要素からなる集合として記述された場合の処理方法を示している。ここで、nはコードワードの個数であり、mは表示されたコードワード内での60ビットセグメントである。ラベルが付された後、156,250コードワードのうちの最初のブロックが、バッファ22のセルにインターリーブされる。156,250コードワードの最初のブロックをインターリーブした後に、コードワードシーケンスは括弧付き番号シーケンスとして表示されており、後にロウとしての読み出しに対応する“カラムエントリ”の書き込みを表わしている。同様に、コードワードの第二ブロック以降がインターリーブされる。同一のコードワードからの連続したエントリは、 $60 \times 156,250 = 9,375$ メガビットで分離される。よって、括弧付きシーケンスのうちのあらゆる2つ(それぞれ9,375メガビット長)の消失あるいは損失は、あらゆるコードワードにおいて120ビットを越えないエラーのみを生成する。

【0025】図2において、60ビット入力のシフトレジスタ21は、エンコーダ20の出力を受信する。コードワードの60ビットセグメントが選択された理由は、60が2040の因数であり、 $60 \text{ビット} \times 156,250 \times 2 = 18,750$ メガビットが公称20メガビットのバーストエラー長に近いからである。18,750メガビット長のバーストエラーは、インターリーブされた156,250コードワードの各々における2つの60ビットセグメント(すなわち120ビット)を破壊する可能性があるが、全てのコードワードは128ビットのエラー修正を行なう能力があるために、この例の場合には全てのデータが回復される。

【0026】入力シフトレジスタ21は、エンコーダ20において生成された断片を、4つのグループに編成された8個のSDRAM22a...22hのバンクより構成されるバッファストア22に分配する。SDRAMは、16ビット×8メガワードストアである。SDRAMデバイスは、アドレスジェネレータ23、24として設定されたフィールドプログラマブルゲートアレイ(FPGA)によって供給されるアドレスに従ってロー

ドされる。バッファストア22、及びFPGAアドレスジェネレータ23、24の動作は、コンピュータコントローラ26によって指示される。SDRAMデバイスからは、出力シフトレジスタ25へ出力され、この出力シフトレジスタ25は、エンコードされてインターリーブされたビットストリームをトランスミッタ12に供給する。レシーバにおける実質的に同一のバッファストア2が、後に図5に関して記述されているように、デインターリーブ目的で用いられる。

【0027】エンコーダ20の符号化プロセス、アドレスジェネレータ23、24のアドレスング機能、SDRAM22a...hのストレージ機能、及び、入出力シフトレジスタ21、25の機能は、図2に示されているように、コンピュータコントローラ26において実行される命令コードによって調整された機能を有する個別のハードウェアコンポーネントによって実行される。ハードウェアがより好まれる場合には、適切な市販のコンポーネントは、シフトレジスタ21、25としてはVitesse Semiconductor社のVSC7146デバイスアドレスジェネレータ23、24としてはLucent Technology社のORCA FPGA ORT8850コンポーネントである。アドレスジェネレータ23、24及びシフトレジスタ21、25、及び、エンコーダ20の機能は、コンピュータコントローラ26の制御下における命令コードとして実現されることも可能である。

【0028】この実施例においては、リード-ソロモンコードは、8ビットシンボルよりなるガロワフィールド及び(255-223)コードを用いる。よって、コードワードは255オクテット(バイト)長であり、そのうちの223がペイロード、残りの32がチェックシンボルである。コードは、 $32/2$ すなわち16バイトのエラーを修正する能力を有している。このことは、16個までの孤立したエラー(すなわち、個々のエラーが相異なったオクテット内に存在する)は、修正されうことを意味している。しかしながら、全てのエラーがある16バイトに収まっている場合には、あらゆるブロックにおける 16×8 すなわち128ビットのエラーまでが修正されうことをも意味している。

【0029】10km範囲に亘る自由空間光伝送の現実のフィールド実験例では、およそ90%までのフェージングが8ミリ秒未満の持続時間を有していた。毎秒 2.5×10^9 のビットレートを有するデータストリームにおいては、8ミリ秒の持続時間を有するフェージングのうちに $E = 20 \times 10^6$ ビットが失われることになる。バーストエラーによって最大128ビットのコードワードが失われる可能性があつて、しかも、そのバーストエラーがマスクされなければならないとすると、この例においてはインターリーブされなければならないコードワードの個数は、

$$(式4) \quad E/b = 2 \times 10^7 / 128 = 156,250$$

0

となる。

【0030】コードワードは $255 \times 8 = 2040$ ビット長であるため、インターリーブバッファストア22の大きさは、

(式5) $(E/b) * n = 156, 250 * 2040 = 318, 750, 000$ ビット

となる。

【0031】このサイズのバッファストアは、容量128メガビットあるいは256メガビットのSDRAMを用いて実現される。

【0032】バッファストア22におけるSDRAMデバイスへの書き込みプロセスは、20.8ナノ秒(毎秒 2.8×10^9 ビットでエンコードされたデータストリームのビット期間の60倍)のうちに60ビットワードを生成することを要求する。単純な方法でインターリーブを実現するためには、156, 250というアドレス増分(すなわち、行列のカラムエントリ)でエントリを書き込むこと、及び、その後、インターリーブされたコードワードを送出する目的で、連続したアドレス(ロウ)を読み出すこと、が必要となる。現行のSDRAMデバイスに係るパラメータを考えると、このことは困難である。なぜなら、孤立した読み出しあるいは書き込み動作に係るレイテンシー効果が存在するためである。CASレイテンシーが2のSDRAMデバイスに関しては、SDRAMの別個のロウ(ページ)への書き込みに係る最大レートは7サイクル毎である。これは、Micron Technologies社製のMT48LC8M16A2の場合の例である。Micron Technologies社製のこのSDRAMデバイス及び同様のものに係るさらなる情報は、同社のウェブサイトである <http://www.micron.com> より得られる。他のメーカーもSDRAMデバイスを製造しており、それらの同様のデバイスが本発明を実施する際に適用されうことは当業者には明らかである。

【0033】SDRAMデバイスにおけるオーバーヘッド動作を最小にする性能を実現する目的では、133MHzの最大クロックレート、すなわち、7.5ナノ秒のサイクルタイムを有するCAS=2のSDRAMを用いることが望ましい。しかしながら、バッファストア22のSDRAMデバイスに関係している7サイクルの書き込み期間は、新たな60ビットコードワードセグメントが生成されるために必要とされる20.8ナノ秒の読み出しレートを実現することはできない。

【0034】この問題を克服するために、本発明は現行の技術に係るSDRAMデバイスの特徴、すなわち、ページ(すなわちロウ)内であればデバイスサイクルレートでSDRAMデバイスを読み出しあるいは書き込み可能である、という特徴をうまく利用する。このことを例示するために、例えば、前掲されたMicron Technologies社製のMT48LC8M16A2という型番を有する

SDRAMデバイス(16ビット \times 2M \times 4バンク)を考えると、そのページサイズは512 \times 16ビットワードであり、クロックレートは133MHz(7.5ナノ秒)である。これらのデバイスが旧来の方式でアドレッシングされると、書き込み当たりに7 \times 7.5=52.5ナノ秒が必要となる。なぜなら、書き込みアドレス増分がページサイズを遙かに超過するからである。しかしながら、連続してアドレッシングされた読み出し動作は、漸近的に7.5ナノ秒で実行されることが可能であり、これは、実際の送信に必要とされる20.7ナノ秒よりも十分に小さい。

【0035】それゆえ、一般的な再マッピングストラテジーは、“読み出し”レートと“書き込み”レートとを等化することである。原理的には、この考え方は、SDRAMメモリの各ページを多数の“仮想”ページと見なすことであり、置換操作における読み出し動作の間になされるページ変更をより頻繁に必要とするようにする代わりに(物理的に)同一のページでの高速書き込みレートを勝つようとしようとするものである。図6は、K個の連続したエントリを単一の物理ページの書き込むための一般的な方法が示されており、その結果として、読み出しプロセスの際に、連続したアドレスの単一読み出しシーケンスにおいてSDRAMのP個の各ページエントリを単に読み出す場合と比較して、K倍多くのページ変更を必要とする(ここで、Pはページサイズである)。

【0036】前述されている例の場合では、512ワードよりなるSDRAMの各物理ページは、各々15ワードずつよりなる34ページから構成されるものとして定義されている(2ワードは無駄になっている)。置換行列は34 \times 150250という大きさであるため、インデックス化を系統的にするために34という数が選ばれている。

【0037】次に、デインターリーブデコードを実行するハードウェアコントローラ、及び、バッファストア22及び52のアドレス再マッピングをいつ実行するのかについての決定、が記述される。

【0038】図5において、レシーバ側の信号抽出器15は、コンピュータコントローラ50、及び、トランスミッタ側のバッファストア22と実質的に同一となるように構成されたSDRAMバッファストア52を有している。しかしながら、図5においては、バッファストアは、セル51のようなメモリセルより構成されたマトリックスとして記されており、各々のセルがロウ1, 2, . . . , R及びカラム1, 2, . . . , Cの交点によって規定されている。コンピュータコントローラ50は、トランスミッタ12によって送信されたエンコード及びインターリーブ済みの信号9を自由空間媒体13を介して受信する。コンピュータコントローラ50によって制御されたアドレスデコーダ53が、図3のセグメント30fのような受信された各インターリーブ済みコー

ドワードセグメントに係るアドレス情報を獲得し、バッファストア52内のセルアドレスを規定して、そこにシケンシャルに受信されたコードワードセグメントがストアされることになる。

【0039】バッファストア52のセルの各ロウは、書き込みイネーブルドライバ54によって制御されており、バッファストア52のセルの各カラムは書き込みデータドライバ55によって制御されている。インターリーブされたセグメントを送り込む宛先のアドレスは、アドレスデコーダ53によって書き込みイネーブルドライバ54に供給される。受信されたインターリーブ済みコードワードセグメントは、入力シフトレジスタ56において集積され、書き込みデータドライバ55に転送される。書き込みイネーブルドライバ54の制御下で、書き込みデータドライバ55は、コードワードセグメントを、SDRAMバッファストア52のメモリセルマトリックスに転送する。

【0040】読み出しに関しては、読み出しイネーブルドライバ57がSDRAMバッファストア52のセルの各ロウに接続されており、読み出しデータドライバ58がSDRAMバッファストア52のセルの各カラムに接続されている。SDRAMバッファストア52からの読み出しに際しては、コンピュータコントローラ50において、仮に単純な方式でマッピングされた場合にSDRAMバッファストア52よりなるマトリックスが読み出しの際に処理速度を低下させないか否か、あるいは、読み出しレートと書き込みレートを等化するようにデインターリーブを実行する目的で行列を再マッピングする必要があるか否か、に関する決定が先になされる。バッファストア52から読み出されたデータは出力シフトレジスタ59に集積され、その後、デインターリーブされた出力データストリーム60がリード-ソロモンデコーダ61に供給されて、デインターリーブ済みデータストリームがデコードされる。デインターリーブ及びデコードされたデータストリーム62は、リード-ソロモンデコーダ61から出力されて、最終目的であるビデオあるいはデータアプリケーションに供給される。簡単のために全て51という符号が付された制御信号経路は、コンピュータコントローラ50から、機能ブロック53、54、55、56、57、58及び59に対して供給される。

【0041】デインターリーブに関しては、バッファストア52は、読み出しイネーブルドライバ57をアクティベートすることによって、読み出しデータドライバ58によってアクセスされたマトリックスからデータが読み出される。必要とされる場合には、物理的なアドレスの再マッピングが以下の基準に従って実行される。一般に、トランスミッタあるいはレシーバにおいて、アドレス再マッピングは、SDRAMバッファストア52の1ページにストアされるマトリックスのから無数が余り

にも小さい場合、すなわち、オーバーヘッドサイクルがページ変更前に（ロウが読まれる場合に）発生するメモリ参照回数に亘って償還されなければならない、結果として、システム要求を満たさない実効メモリサイクルレートとなってしまう場合に実行される。本明細書に記されている具体的なデバイス速度パラメータに関しては、1ページに保持されなければならないカラム数は4以上でなければならない。ページ変更の際に7サイクルのオーバーヘッドが発生するのに対してシステムサイクルレートが20.8ナノ秒であるため、4エントリのFIFOエラスティックメモリ（先入れ先出しメモリ）が、ページ変更に関する橋渡しとなる手段を提供する。ページ変更によって負わされる52.5ナノ秒の中断は、当該エラスティックメモリの3エントリ分のバックログで実効的にマスクされる。

【0042】バッファストア52のアドレスの再マッピングに係る方法が、図6から図8に示されている。（バッファストア22におけるアドレス再マッピングも、以下に記述されているものと同一の方式で実現される。）図6において、書き込み動作の間、エントリ1, 1, 1, 2, . . . 1, 34は、第一SDRAMページの物理アドレス0, 15, . . . , 495にストアされる。しかしながら、これらは、それぞれ、アドレス0, 156, 250, 33×156, 250の読み出し動作の際に処理される。アドレスマップの分割によってロウ長が1ファクタとなっているため、この例においては34エントリ中の正確に15ロウが1物理ページにフィットすることになる。図6に示された“仮想”アドレスは、置換を完了させるために実行される読み出しのシーケンスを指し示している。

【0043】以下に、再マッピング方法が、行列転置操作に関連して記述される。デインターリーブ目的で34個の60ビットエントリに分割された2040ビット長のコードワードに係る前述のパラメータに関して、第一コードワード中の60ビットエントリが

1, 1 1, 2 1, 3 . . . 1, 34

として指し示されており、一般に、コードワードm中のn番目のエントリがm, nで指し示されると仮定する。

【0044】156, 250コードワードの各々からの対応するエントリのデインターリーブを要求する前述の例においては、マトリックスの次元は34ロウ×156, 250カラムとなる。マトリックスが図7に示されているように書き表わされる場合には、この例の場合では、トランスミッタ側においてカラム順に読み出される。なぜなら、カラムの次元が小さいために、トランスミッタ側においてアドレス再マッピングを適用する必要がないからである。このマトリックスの15カラムは、512アドレスSDRAMの1ページを専有する（15×34=510であって2つのアドレスはスキップされる）。それゆえ、図7において27で示されているように、こ

れら最初の10エンタリを第一ページに書き込み動作の間にストアすることは、読み出し動作の間（すなわち、転置が実行されつつある間）のアドレスパターンを実現する。このアドレスパターンにおいては、SDRAMの物理ページ変更が、当該マトリックスがロウによって読み出されている間に15回のメモリ参照毎にのみ発生することになる。すなわち、マトリックスの一部である27の読み出しに引き続く連続した一部の読み出しにおいて、15回のメモリ参照毎にのみSDRAM物理ページの変更が必要になる。このページ変更オーバーヘッドの償還は、前述されたパラメータ例に係るリアルタイム動作を維持するためには充分である。

【0045】しかしながら、レシーバ側では、同一のマトリックスがロウで受信されてSDRAMバッファストア52よりなるマトリックスに書き込まれる。このマトリックスは、デインターリーブを実現するために転置されなければならない。図8に示されているように、受信されたエンタリがSDRAMバッファストア52にシケンシャルに書き込まれるとすると、結果として、書き込みの間に512メモリ参照毎にページ変更がなされることになるが、その後マトリックスをカラム毎に読み出す際に各メモリ参照毎にSDRAMページ変更が必要になる。このため、ここで考えているパラメータ例に関しては、リアルタイム動作は維持できない。

【0046】この問題は、本発明に従ったアドレス再マッピングによって克服される。図7に例示されているものと同一の34×15のマトリックスの一部が、レシーバ側で、オーバーヘッド動作を書き込みから読み出しへ再分配し、最小量のエラスティックメモリでリアルタイム動作を可能にする目的で、複製される。このことは、エンタリがロウで受信される際に、SDRAMの物理ページ変更が、512エンタリ毎ではなく15エンタリ毎に発生することを意味している。マトリックスのあるロウ全体にストアする目的で10416ページの各々に15エンタリをステップ書き込みした後（ここで考えている例では、最終ページは、15エンタリではなく10エンタリのみを保持している）、次の15エンタリが最初のSDRAM物理ページに書き込まれ、マトリックスの第二ロウの各々のエンタリが対応する第一ロウと同一の物理ページに現われるようになる。

【0047】読み出し及び書き込みオーバーヘッドの正確な等化のためには、ページサイズの平方根に等しい次元を有する正方サブマトリックスを選択することが必要である。本明細書において述べられている例（512ワードというページサイズ）の場合には、これは整数ではない。（ページ変更前に発生する連続したメモリ参照数を表す）マトリックスの最小次元がページ変更に係るSDRAMオーバーヘッドを償還するために充分である場合には、どのような次元のサブマトリックス（サブマトリックスは、単一の物理ページに書き込まれるエンタ

リの組を表わしている）でも充分である。この償還は、メモリの最大バーストレートと新たなエンタリが読み出しあるいは書き込みされる際の転送レートとの関係に依存している。バーストレートは、オーバーヘッドサイクルをカバーするために、転送レートよりも充分大きくなければならない。よって、20.8ナノ秒でのエンタリ受信あるいは送信レート、1ページに対する7.5ナノ秒のSDRAMレート、及び、52.5ナノ秒のページ変更オーバーヘッドの場合には、オーバーヘッドを15回のメモリ参照に対して償還することは、4ワードのエラスティックストアを用いてリアルタイム動作を維持するのに充分である。

【0048】一般に、どのような場合に再マッピングが実装されるかという質問は、使用するSDRAMデバイスのスピード、1ページに保持されなければならないカラム数（前記実施例の場合は4以上）、データレートその他のファクタに依存する。

【0049】例えば、前記実施例のパラメータは、データストリームの高速性及びクロックレートを容易に入手可能なメモリ及びデジタルロジックデバイスにおいて実現可能な値に低減することの必要性のために、（60ビットという）大きなデータ断片、すなわちワードサイズを選択することを必要としている。ワードサイズが大きいため、2040ビットのリード-ソロモンコードワードをインターリーブ目的で分割する際に必要となるワード数はわずかに34である。このことは、入力ワードが連続したアドレスにストアされる場合には、7サイクルオーバーヘッドを償還するためのページ変更間の連続したメモリ参照数としては充分ではなく、従ってアドレス再マッピングが適用される。

【0050】図9に示された流れ図は、トランスミッタ側においてSDRAM読み出し動作と書き込み動作とのバランスを実現するための前述された重要なプロセス段階をまとめたものである。図10は、レシーバ側において、送信側の装置及びプロセスによって生成された符号化及びインターリーブ済み信号をデインターリーブするための重要なプロセス段階を例示している。

【0051】以上の説明は、本発明の一実施例に関するもので、この技術分野の当業者であれば、本発明の種々の変形例が考え得るが、それらはいずれも本発明の技術的範囲に包含される。

【0052】

【発明の効果】以上述べたごとく、本発明によれば、連続した2千万ビット程度の大きさを有するバーストエラーが、コンポーネントに関して実現可能な程度の費用増及び追加レイテンシーに関して無視しうる程度のコストで修正されるような装置及びその実現方法が提供される。

【図面の簡単な説明】

【図1】 自由空間光通信システムを模式的に示すブロ

ック図。

【図2】 本発明を実行する送信端システム及びそのコンポーネントを模式的に示すブロック図。

【図3】 インターリーブを行なうための準備としてのコードワード分割例を模式的に示す図。

【図4】 分割されたコードワードブロックをインターリーブするためのプロトコルを示す流れ図。

【図5】 本発明を実行する受信端システム及びそのコンポーネントを模式的に示すブロック図。

【図6】 SDRAMページ変更に関して“読み出し”と“書き込み”のオーバーヘッドをバランスする目的で、SDRAMマトリックスのアドレスを再マッピングする方法を模式的に示す図。

【図7】 “読み出し”と“書き込み”のオーバーヘッドをバランスする目的でSDRAMマトリックスのアドレスを再マッピングする別の方法を模式的に示す図。

【図8】 レシーバがエントリをシーケンシャルにストアするばあい、512アドレスよりなる一ページに受信したマトリックスを保持する方式を模式的に示す図。

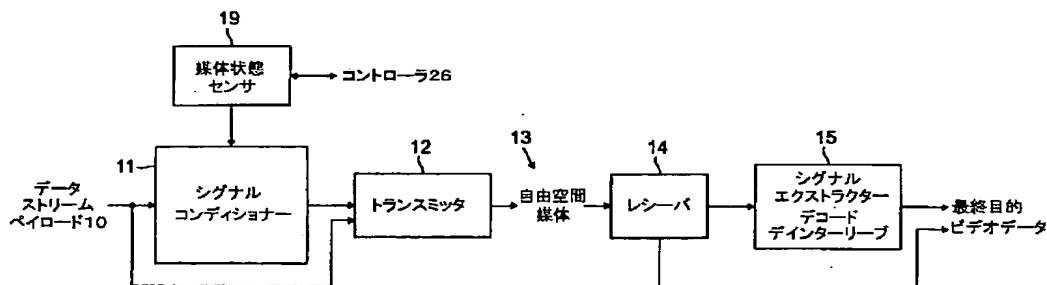
【図9】 送信端におけるアドレス再マッピングを含むプロセスを示す流れ図。

【図10】 受信端におけるアドレス再マッピングを含むプロセスを示す流れ図。

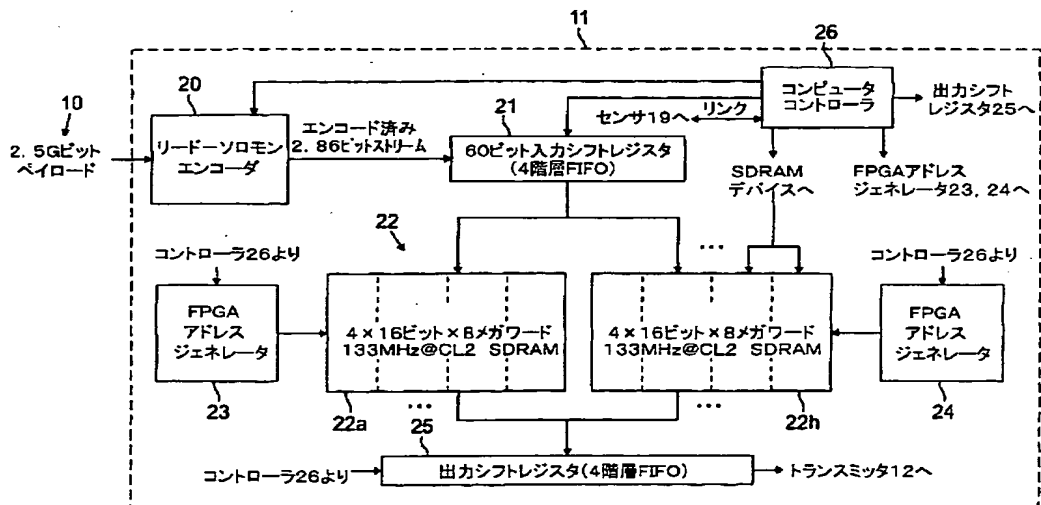
【符号の説明】

- 10 データストリームペイロード
- 11 シグナルコンディショナー
- 12 トランスミッタ
- 13 自由空間媒体
- 14 レシーバ
- 15 シグナルエクストラクタ
- 19 媒体状態センサ
- 20 リード-ソロモンエンコーダ
- 21 入力シフトレジスタ
- 22 バッファストア
- 23、24 アドレスジェネレータ
- 25 出力シフトレジスタ
- 26 コンピュータコントローラ
- 30 コードワード例

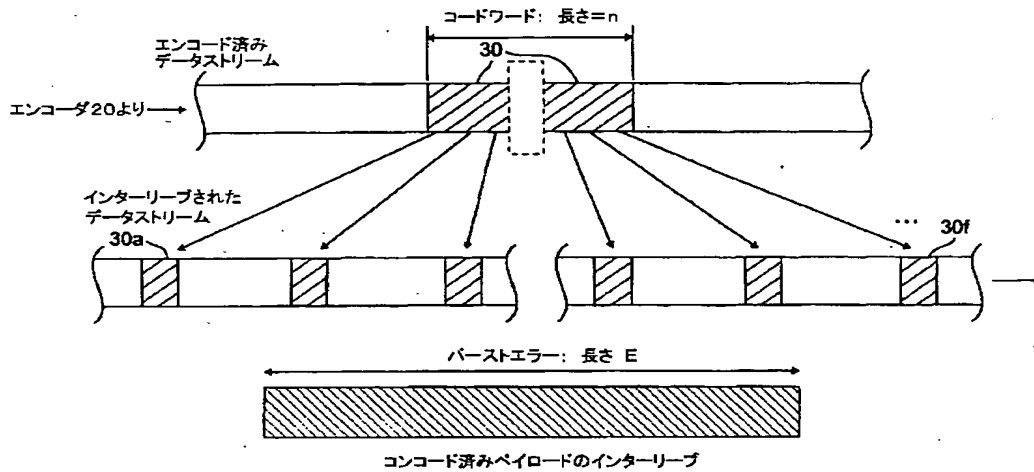
【図1】



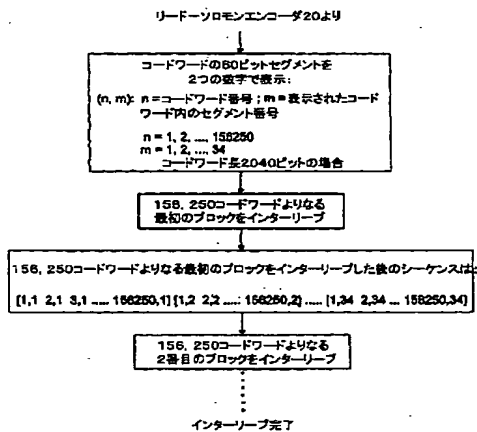
【図2】



【図3】

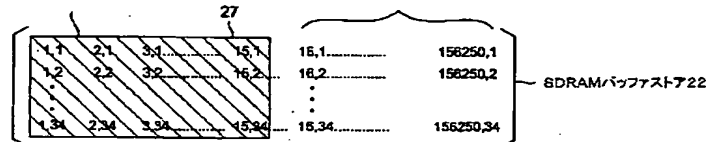


【図4】

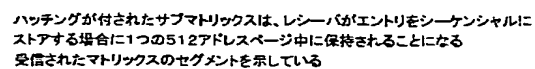


【図7】

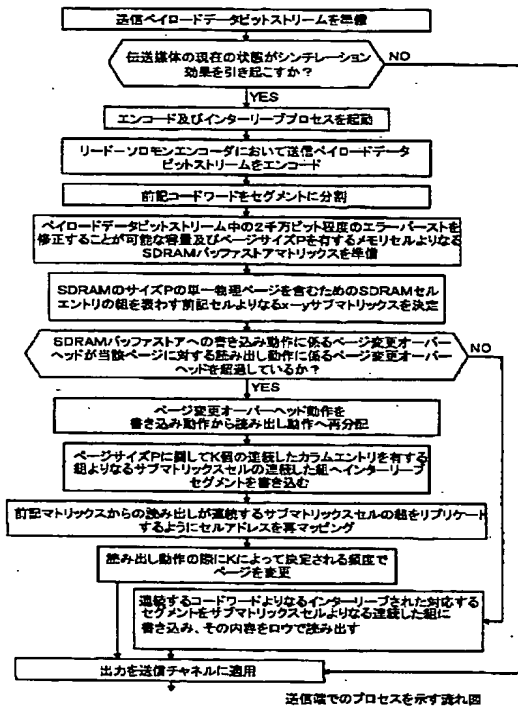
510個のマトリクスセルを用いて第iコードワードを書き込み動作の際にストアするための、80ビットエントリの512アドレスよりなるDRAMページへのサブマトリクスマッピング (および10416個の) サブマトリクスマッピング



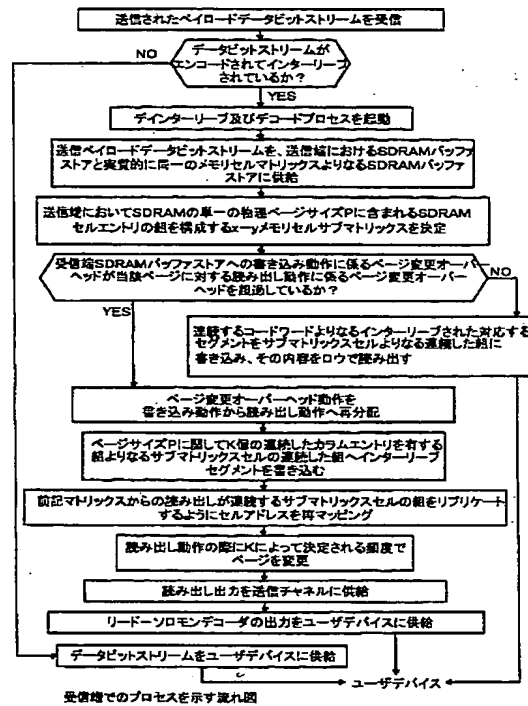
マトリクスとして表示されたコードワードセグメント



【図9】



【図10】



フロントページの続き

- (71)出願人 596077259
600 Mountain Avenue,
Murray Hill, New Jersey 07974-0636 U. S. A.
- (72)発明者 マーク ジェー ビーケン
アメリカ合衆国、ニュージャージー州
07869、ランドルフ タウンシップ、クレスト ドライブ 11
- (72)発明者 アレックス ピドウェルベスキー
アメリカ合衆国、07869 ニュージャージー州、ランドルフ タウンシップ、クエーカー チャーチ ロード 342-51

- (72)発明者 デニス エム ロマン
アメリカ合衆国、07960 ニュージャージー州、モリスタウン、エリン コート 1
- (72)発明者 リチャード アール シャイブリ
アメリカ合衆国、07961 ニュージャージー州、モリスタウン、オールド グレーンロード 5
- Fターム(参考) 5B001 A411 AB03 AB05 AC05 AD06
AE04
5B060 AB19 HA05
5J065 A403 AC02 AD11 AE06 AF01
AG06 AH05 AH07 AH17
5K014 AA01 BA08 FA16